

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-066899

(43)Date of publication of application : 13.03.1989

(51)Int.Cl.

G11C 11/40  
H01L 27/04  
H01L 27/10  
H01L 29/78

(21)Application number : 63-162781

(71)Applicant : RAMTRON CORP

(22)Date of filing : 01.07.1988

(72)Inventor : DIMMLER KLAUS  
EATON JR S SHEFFIELD

(30)Priority

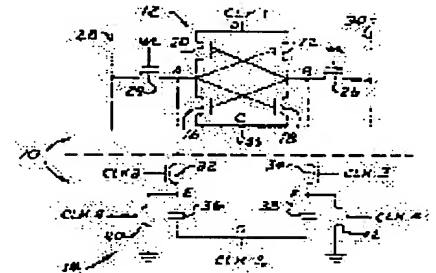
Priority 87 69390 Priority 02.07.1987 Priority US

(54) MEMORY CELL

(57)Abstract:

PURPOSE: To solve the polarization fatigue problem of a ferroelectric substance material and to obtain a high speed nonvolatile semiconductor memory by providing internal nodes and accumulating the conditions of the nodes to a memory cell at various time.

CONSTITUTION: A memory cell 10 is provided with first and second parts. A first part 12 has a volatile memory and a second part 14 is provided with the circuit which includes the ferroelectric substance device that is connected to the part 12. The part 12 includes the flip-flop which consists of two n channel transistors 16 and 18 and two p channel transistors 20 and 22. A pair of nodes A and B is cross coupled to the gate electrodes of the transistors 16 to 22. A node C is connected to a zero volt VSS and a node D couples the source electrodes of the transistors 20 and 22 to a signal CLKI. The signal CLKI is normally at a VCC level. Thus, data writing and reading are conducted for the flip-flop, which consists of cross coupled transistors, by accessing to bit lines 28 and 30 and a word line.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-66899

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)3月13日

G 11 C 11/40  
H 01 L 27/04  
27/10  
29/78

3 0 1  
4 4 1  
3 7 1

7230-5B  
C-7514-5F  
8624-5F  
7514-5F

審査請求 未請求 請求項の数 11 (全8頁)

⑭ 発明の名称 メモリセル

⑯ 特 願 昭63-162781

⑰ 出 願 昭63(1988)7月1日

優先権主張 ⑱ 1987年7月2日 ⑲ 米国(US) ⑳ 069390

⑳ 発 明 者 クラウス・デウムラー アメリカ合衆国コロラド州 80906 コロラド スプリングス  
オウタム ハイッ ドライブ 4050 ビー

㉑ 発 明 者 エス・シエフイーエル アメリカ合衆国コロラド州 80906 コロラド スプリングス  
ド・イートン・ジュニア リッジ サークル 3361

㉒ 出 願 人 ラムترون・コーポレーション アメリカ合衆国コロラド州 80907 コロラド スプリングス  
オーステン ブラフス パークウェイ 1873 ユニバーシティ オフィス パーク

㉓ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 メモリセル

2. 特許請求の範囲

1. 集積回路用のメモリセルであって、  
内部ノードを有し、このノードの状態が種々の時間にメモリセルに蓄積されるデータに対応して変化する半導体記憶装置と、  
前記ノードに結合された強誘電体回路とを具備していることを特徴とするメモリセル。
2. 前記半導体記憶装置は1対のトランジスタともう1つの内部ノードを有し、前記強誘電体回路は前記2個のノードのそれぞれに結合された2個の強誘電体コンデンサを具備していることを特徴とする請求項1記載のメモリセル。
3. 前記半導体記憶装置はスタティック RAMセルを具備、前記1対のトランジスタをフリップフロップの形態に交差結合し、前記2個の内部ノードの各々を前記2個のトランジスタのそれぞれのゲートに結合し、前記強誘電体

コンデンサの各々を前記ノードの各々と電圧源との間に結合してあることを特徴とする請求項2記載のメモリセル。

4. 前記コンデンサの各々は1対の結合トランジスタの各々を経て前記ノードの各々に結合してあることを特徴とする請求項3記載のメモリセル。
5. 更にもう1対のトランジスタを設け、その各トランジスタを各コンデンサに対応させ、そのソース・ドレインパスを対応するコンデンサを短絡するように結合してあることを特徴とする請求項3記載のメモリセル。
6. 前記半導体記憶装置は4個のノードを有する2対の交差結合CMOSトランジスタを具備、前記4個のノードのうちの2個のノードが前記内部ノードであり、第3のノードが基準電圧源に、第4のノードが動作電圧源に結合されていることを特徴とする請求項3記載のメモリセル。
7. 1対の交差結合トランジスタと、2個の強

## 特開昭64-66899(2)

誘電体コンデンサと、4個のノードを具え、これらノードのうちの第1のノードを基準電圧源と前記2個のトランジスタとに結合し、前記2個のコンデンサの一方の極板を前記ノードのうちの第2及び第3のノードにおいて2個のトランジスタにそれぞれ結合し、前記2個のコンデンサの他方の極板を前記ノードのうちの第4のノードに結合し、前記第4のノードを動作電圧源に結合してあることを特徴とするメモリセル。

8. (a)揮発性半導体記憶装置の状態をデータに従って設定し、次いで

(b)強誘電体装置の分極状態を前記データに従って選択的に制御し、次いで

(c)前記記憶装置から電源を切ることを特徴とするデータ記憶方法。

9. 前記記憶装置に電源を再び供給し、前記記憶装置の状態を前記分極状態に従って設定することを特徴とする請求項8記載の方法。

10. 揮発性記憶装置はスタティック RAMセルを

具え、前記強誘電体装置は前記 RAMセルに結合された2個の強誘電体コンデンサを具えていることを特徴とする請求項8記載の方法。

11. 前記 RAMセルは前記2個のコンデンサのうちの第1のコンデンサに結合された第1のノードと、前記2個のコンデンサのうちの第2のコンデンサに結合された第2のノードとを有し、前記2個のコンデンサは第3のノードに共通に結合されており、前記(b)の強誘電体装置の分極状態の制御は前記第3のノードの電圧を、前記第1のコンデンサが前記第1のノードの電圧に従って分極されると共に前記第2のコンデンサが前記第2のノードの電圧に従って分極されるように制御することにより達成することを特徴とする請求項10記載の方法。

## 3. 発明の詳細な説明

本発明は半導体メモリに関するものである。本発明は不揮発性及びラジエーションハードニングのような強誘電体装置の利点とスタティック RAM

及びダイナミック RAMのような他のタイプのメモリの利点とを組み合わせるものである。

今日のメモリ技術にはいくつかの異なる技術がある。一般の人々は、磁気テープがビデオ信号やオーディオ信号の記録につかわれているので、情報を磁気テープに記憶し得ることを知っている。これは情報を磁気媒体上に磁界で記憶するものである。オーディオやビデオ情報記憶の分野では情報を直列に書き込み及び読み出して連続的なビデオ画像又は音声を記録及び再生し得るようにしている。磁気テープは不揮発性メモリであり、これに記憶された情報を保存するためにこの記憶媒体に電力を連続的に供給する必要はない。

同様に、磁気バブルメモリも情報を磁気ドメインで記憶し、不揮発性である。しかし、磁気バブルメモリも磁気テープと同様に直列にアクセスする必要がある。

今日では一般にコンピュータのユーザは自分のコンピュータを用いて発生させた又は更新したデータ又はプログラムを不揮発性記憶媒体に記憶し

て停電や不注意によりデータが消えてなくなないようにしている。これは不揮発性メモリの大きな利点の1つである。今日ではこの目的のためには磁気フロッピディスクが一般に使われている。

しかし、高速処理のためにはメモリに記憶された情報をランダムにアクセスし得る必要がある。従って、ここ2、30年の間、種々のタイプのランダムアクセスメモリが開発されてきた。一般にこれらメモリは半導体メモリである。半導体ランダムアクセスメモリ(RAM)においては、2進情報の1ビットを1つのメモリセルに記憶し、多数のセルをアレーに配列している。今日では一般に多数のビットラインを設け、各ビットラインを複数のメモリセルに結合させると共に、これらビットラインと直交する多数のワードラインを設け、各ワードラインを複数のメモリセルに結合させている。種々のアドレスデコードがアクセスすべき1つのセルを指定する。これがため、アドレスを指定することにより何千個ものメモリセルを含むアレー内の1つのメモリセルをアクセスすることが

## 特開昭64-66899(3)

できる。メモリセルはくり返し使用できると共に、極めて高速（例えば数拾ナノ秒）にアクセスすることができる。これらの能力はコンピュータやデータ処理装置に極めて重要である。

RAMは“ダイナミック”RAMと“スタティック”RAMに分けられる。この区別は一般にRAMに組み込まれているメモリセルのタイプによる。ダイナミックRAMのメモリセルの場合には、半導体材料の基板内に形成されたコンデンサにデータが蓄積される。トランジスタがコンデンサとビットラインとを選択的に結合する。この簡単な構成のために、ダイナミックRAM(DRAM)のメモリセルは小面積で、相当高密度に製造することができる。他方、情報電荷が基板内のコンデンサに蓄積されるため、この電荷が減少し、メモリの内容を保存するためにはこれを周期的にリフレッシュする必要がある。

スタティックRAMはリフレッシュする必要のないメモリセルを含んでいる点がダイナミックRAMと相違する。スタティックRAMのセルは通常双安

定フリップフロップとして構成した数個のトランジスタを含んでいる。このフリップフロップの2つの状態を用いて2進データの2つの異なるレベルを記憶する。スタティックRAMのセルは数個のトランジスタを含むためDRAMセルより大きく、従って半導体チップ上に高密度に実装することができない。他方、スタティックRAMは高速に動作すると共にリフレッシュ処理用の論理回路を必要としない。

ダイナミックRAMもスタティックRAMもランダムアクセスし得る利点を有するが、不揮発性である欠点を有する。即ち、電源をメモリから切ると、データが消失する。ダイナミックRAMのメモリセル内のコンデンサに蓄積された電荷が消失すると共に、スタティックRAMのメモリセル内のフリップフロップ状態を保持する電圧が零に低下するためフリップフロップがそのデータを消失する。

強誘電体コンデンサをメモリセルに用いるRAMは十分な不揮発性の利点を有する。簡単に説明すると、強誘電体コンデンサは1対の極板間に強誘

電体材料を介挿したものである。強誘電体材料は2つの異なる安定な分極状態を有し、この2つの状態は印加電圧に対し分極をプロットして示されるヒステリシスループにより定まる。電圧を強誘電体コンデンサに供給したとき流れる電荷を測定することにより強誘電体材料の分極状態を決定することができる。2進値の“0”を一方の分極状態に割り当て、2進値の“1”を他方の分極状態に割り当てることにより強誘電体コンデンサを2進情報の蓄積に用いることができる。不揮発性メモリの利点は、電源が切られてもデータが記憶され続ける点にあること勿論である。強誘電体材料のもう1つの利点は特にこれらの材料はラジエーションハードニング、即ち放射線照射により特性が改善される点にある。

しかし、強誘電体コンデンサをRAMセルに使用すると、強誘電体コンデンサが一方の分極状態から他方の分極状態へとくり返し（数百万回）スイッチされるので、その強誘電体材料が疲労特性を示す欠点があることが確かめられた。

本発明の目的は、強誘電体材料を用いるが分極疲労の問題を解決し、ランダムアクセスし得る高速の不揮発性半導体メモリを提供することにある。

本発明の特徴は、不揮発性メモリセル（スタティック、ダイナミックその他、タイプを問わない）を強誘電体装置又は回路と組み合わせることにある。本発明の一実施例ではメモリセルの常規動作中は強誘電体材料の分極状態がメモリセルの反復アクセスにもかかわらず切り換えられない。しかし、電源切れのような所定の状態のときには強誘電体装置にメモリセルのデータが書き込まれて電源切れにもかかわらずメモリセルに記憶されていたデータが強誘電体装置に保存される。メモリに再び電源が供給されると、強誘電体装置から情報が回収されてメモリセルの揮発性部分にリストアされる。これにより強誘電体がスイッチされる回数が減少し、装置の寿命が著しく伸びることになる。

本発明のその他の特徴は以下の本発明の好適実

## 特開昭64-66899 (4)

施例の説明から明らかとなる。しかし、以下の好適実施例ではスタティック RAMセルを用いるが本発明は強誘電体コンデンサをスタティック RAMセルと組み合わせたものに限定されるものではない点に注意されたい。

図面を参照して本発明の好適実施例を説明する。

## 1. 第1実施例

第1A図は強誘電体装置を非強誘電体メモリセル技術と組み合わせたメモリセル10を示す。メモリセル10は第1及び第2部分12及び14を具える。第1部分12は揮発性メモリセルを具え、第2部分14は第1部分に結合された強誘電体装置を含む回路を具えている。本例では部分12はCMOSスタティック RAMセルを用いているが、このメモリセルは単なる例示であって他のタイプのメモリセルを用いることもできる。

部分12は2個のnチャンネルトランジスタ16、18と2個のpチャンネルトランジスタ20、22から成るフリップフロップを含む。1対のノードAおよびBがトランジスタ16~22のゲート電極に交差

結合される。ノードCは零ボルトのVSSレベルに設定される。ノードDはpチャンネルトランジスタ20、22のソース電極を信号CLK1に結合し、この信号は通常はVCCレベルにある。アクセストランジスタ24及び26のソース・ドレインパスは内部ノードA及びBをビットライン28、30にそれぞれ結合する。アクセストランジスタ24、26のゲート電極はワードラインに結合される。

ノードA及びBはもう1対のトランジスタ32、34のソース・ドレインパスを経て1対の強誘電体コンデンサ36、38の上側極板に結合される。尚、フルCMOSゲートを使用することもでき、また逆論理の場合にはpチャンネルMOSを使用することもできる。説明を容易にするために、トランジスタ32とコンデンサ36との接続点をノードEとし、トランジスタ34とコンデンサ38との接続点をノードFとする。コンデンサ36、38の下側極板をノードGで電気的に結合すると共に、通常低レベル状態に保たれている論理信号CLK2に結合する。ノードA及びE間及びノードB及びF間のトランジスタ32

及び34は論理信号CLK3によりゲートされる。本例ではコンデンサ36、38にそれぞれ対応する短絡トランジスタ40、42も含んでいる。短絡トランジスタ40、42のソース・ドレインパスはノードE及びFをVSSレベルに選択的に結合する。トランジスタ40及び42のゲート電極は論理信号CLK4に結合される。これがため、CLK2(ノードG)がVSSレベルにあり、且つトランジスタ40及び42がオンのときこれらコンデンサが短絡される。

## a. 常規動作

第1B図を参照するに、瞬時 $T_0$ から $T_1$ までの常規動作中CLK1(ノードD)は高レベル(VCC)である。論理信号CLK2及びCLK3はともに低レベルである。これがため、トランジスタ32及び34はオフ状態にあるため、第1部分12は第2部分14から切り離される。従って、メモリセル部分12の常規動作中ノードA及びBに生ずる電圧遷移は強誘電体コンデンサ36、38に直接伝達されない。しかし、これを一層確実にするために信号CLK3が低レベルのとき信号CLK4を高レベルにすることができる。従って、

短絡コンデンサ40、42がターンオンしてコンデンサ36、38が短絡される。これによりこれら強誘電体コンデンサ間の直流成分を除去することができる。強誘電体装置が直流破壊されにくい場合には本例の変形例として論理信号CLK4及びトランジスタ40、42を除去することができる。

これがため、上述の状態が生じているときは揮発性部分12のメモリセルがスタティック RAMメモリセルとして完全に機能し、そのビットライン28、30及びワードラインによりアクセスして交差結合トランジスタ16、18、20及び22から成るフリップフロップにデータを書込み及び読み出すことができる。

## b. 不揮発性部分への転記

任意の瞬時 $T_1$ に、揮発性部分12内に蓄積されている情報を不揮発性部分14へ転記することが必要になると、論理信号CLK3が零ボルトから高レベルになる。説明のために、部分12に蓄積されているデータは、ノードAが低電圧レベル(VSS)で、ノードBが高電圧レベル(VCC)であるものとする。

## 特開昭64-66899 (5)

CLK1はノードDを高レベルに維持している。ノードBの高レベルは、トランジスタ34のターンオン時にノードFの電圧レベルを上昇する。CLK4が低レベルになり、CLK3が高レベルになって強誘電体コンデンサ36, 38の充電が可能になる。ノードGのCLK2はまだ低レベルであるため、ノードFの電圧の上昇によりコンデンサ38が一方の分極状態(“高”状態と称することができる)に駆動される。強誘電体コンデンサ38のその前の状態が“低”状態であることもある。この場合には分極反転電流がスタティックRAMセルの内部ノードBから引き出される。この電流はスタティックセルのプルアップ装置22により供給してノードBの電圧がスタティックセルのスイッチング電圧より低くならないようにする必要がある。トランジスタ22及びノードBにより供給されるこの電流の大きさはコンデンサ38とトランジスタ22並びにノードBの寄生容量の相対寸法により制御することができる。

次に他方の強誘電体コンデンサをセットする必要がある。これを行うために、瞬時 $T_2$ に信号CLK2

が高レベルになり、ノードGの電圧が上昇する。揮発性セルのノードAは低論理レベルにあるため、ノードEも低レベルにあり、強誘電体コンデンサ36間の電圧がコンデンサ36に他方の分極状態(“低”状態と称することができる)を書き込む。前と同様に、この書き込みがその前の情報をオーバーライトすることもある。この場合には電流がスタティックセルのノードAに注入される。スタティックセル内のプルダウン装置16は十分な大きさにしてこのノードAの電圧がスタティックセルのスイッチング電圧より低くならないようにする必要がある。コンデンサ36を流れる電流はスタティックセルを切り換える電流より小さくする必要がある。この電流はコンデンサ36とトランジスタ16並びにノードAの寄生容量の相対寸法により制御することができる。

瞬時 $T_2$ において、揮発性セル内の情報は強誘電体コンデンサ38, 40に蓄積されたことになる。スタティックセルの一方のノードの高レベルは一方の強誘電体コンデンサに書き込まれた“高”分極

状態に対応し、スタティックセルの他方のノードの低レベルは他方の強誘電体コンデンサに書き込まれた“低”分極状態に対応する。尚、強誘電体コンデンサの異なる分極状態を論理レベル“高”及び“低”に任意に割り当てることができること勿論である。従って、瞬時 $T_2$ に情報を失うことなくメモリを減勢することができると共に信号CLK1, CLK2, CLK3およびCLK4の全てを零ボルトにすることができる。全ての電圧が零ボルトになっても、コンデンサ36, 38の分極状態は存続するため情報が保持される。

ユーザは瞬時 $T_2$ にデータを失うことなくこのメモリを自由に減勢することができるが、種々の理由のためにスタティックRAMの常規動作を続ける必要があり得る。斯かる常規動作を、CLK2を再び低レベルにすることによりデータを部分14内に保存した状態で部分12に回復させることができる。この目的のために、CLK3を低レベルにして部分14を部分12から切り離すと共に第18図に示すように瞬時 $T_2$ から $T_3$ までCLK4を高レベルしてトランジス

タ40, 42をターンオンさせて強誘電体コンデンサを短絡させる。その後は任意の時間に、CLK1及びCLK4を低レベルすることによりメモリを減勢することができる。

## c. 不揮発性部分から揮発性部分部分へのリストア

セル10が減勢されている状態において不揮発性部分14内に蓄積されている情報をメモリセルの附勢時に揮発性部分12にリストアさせることができる。リストア処理は常規動作から入ることもできる。リストアサイクルがメモリセルの附勢サイクルから入る場合には、“常規”動作に対応する電圧レベルがリストアサイクルの開始前にセットされる。これにより強誘電体装置からスタティックセルへのデータ転送は種々に達成することができる。好ましくは、第18図に示すように瞬時 $T_2$ において、CLK1を低レベルにセットしてノードDを大地電位に低下させてスタティックセルのpチャネル装置を不動作にする。信号CLK4を瞬時 $T_2$ において高レベルにしてノードA及びBを瞬時 $T_2$ から $T_3$ までトランジスタ32及び34を経て零ボルトに予

## 特開昭64-66899(6)

備充電する。或いは又、ノードA及びBを、CLK3が低レベルになる前にビットライン28,30を零ボルトにすると共にワードラインWLを高レベルにすることにより零ボルトに予備充電することもできる。次いで瞬時T<sub>3</sub>においてCLK3を高レベルにしてノードE及びFをノードA及びBに結合する。

瞬時T<sub>4</sub>において、CLK4を低レベルにして短絡トランジスタ40及び42をターンオフさせる。同時にCLK2を高レベルにしてノードGを高レベルにする。このとき強誘電体コンデンサ36,38間の電圧は、“高”分極状態を有するコンデンサが分極の反転を受ける向きである。この強誘電体コンデンサは“低”分極状態に書き込まれている強誘電体コンデンサよりも大きな電流をスタティックセルの対応する内部ノードA又はBに供給する。ここでスタティックセルの内部ノードA及びBの容量は、これらノードの電圧を十分に低く維持して“高”分極状態に書き込まれている強誘電体コンデンサ36又は38に少なくとも部分的な分極反転を生じさせる点に注意されたい。この場合には高分極状態

コンデンサに対応するスタティックセルの内部ノードの電圧が他方のノードより僅かに高くなる。ノードA又はBが1ボルトに達すると、nチャネルトランジスタ16,18が初期設定される。

瞬時T<sub>5</sub>において、CLK1を制御された上昇時間で高レベルにすることができる。内部ノードがこのように設定されるとき(瞬時T<sub>6</sub>)、“低”分極状態の強誘電体コンデンサがリフレッシュされる。次いでCLK2を低レベルにすることができ、これにより“高”分極状態がリフレッシュされる。瞬時T<sub>7</sub>において、CLK3を低レベルにすると共にCLK4を高レベルにして不揮発性部分14を揮発性部分12から切り離すと共にコンデンサ36,38を短絡することができる。これは回路を瞬時T<sub>8</sub>と同一の常規SRAM動作状態にする。瞬時T<sub>9</sub>-T<sub>10</sub>の目的は“高”分極状態を含む強誘電体コンデンサにおいて失われた分極状態を回復するためである。この分極状態はCLK2が高レベルになる瞬時T<sub>6</sub>に失われる。この瞬時に、状態が切り換えられた一方の強誘電体コンデンサが他方のコンデンサよりも大きな電流を

生ずる。この電流の不均衡を用いてスタティックRAMセルを高電流側が高電圧状態に対応するように切り換える。この時“高”分極状態側の強誘電体コンデンサの各端が5Vになる(即ち強誘電体間の電圧が0Vになる)。CLK2が再び低レベルになると、この強誘電体間の電圧が逆方向になって“高”分極状態を回復する。

スタティックセルの内部ノードA及びBの容量が、“高”分極状態にされているコンデンサ36又は38の分極状態をCLK2が高レベルになる際に部分的に反転させるのに不十分な場合には他のサイクルを用いることができる。

例えばビットライン28及び30を追加の容量として用いることができる。これらビットラインを低電圧レベルにすると共に(トランジスタ24,26のゲート電極に結合された)ワードラインを高レベルにする。この状態で上述したリストア処理と同一のサイクルを実行させることができる。この場合、ビットラインが高い容量をもたらす。このサイクルが終了したとき、ワードラインを低レベル

に戻す。このサイクルを全ワードラインに対し反復させる。この後者の技術ではセルを行順次にのみリストアすることができる。

これらのサイクルの持続時間は使用する強誘電体材料のスイッチング速度により決まる。KN0の場合には下記のサイクルタイムが好適である。

転記サイクル:

T<sub>1</sub> - T<sub>2</sub>: この時間はスタティックRAMセルの常規動作に対応し、その持続時間は不確定である。

T<sub>3</sub> - T<sub>4</sub>: “高”分極状態を一方の強誘電体装置に書き込む。(1-10 μs)

T<sub>5</sub> - T<sub>6</sub>: “低”分極状態を他方の強誘電体装置に書き込む。(1-10 μs)

T<sub>7</sub> - T<sub>8</sub>: この時間はスタティックRAMセルの常規動作に対応し、その持続時間は不確定である。

リストアサイクル:

T<sub>9</sub> - T<sub>10</sub>: VCC電源をセルから切り、内部ノードを予備充電する。このステップの持続

## 特開昭64-66899 (7)

スルーレートによりきまる。(20ns)

## II. 第2実施例

第2図は本発明の他のメモリセル50を示すものである。本例では、強誘電体コンデンサを揮発性スタティックセル内に位置させ、2つの機能を行わせる。セル50は1対の交差結合nチャンネルトランジスタ52, 54を具える。それらのゲート電極を内部ノードA, Bに結合し、次いで対応する強誘電体コンデンサ56, 58の下側極板に結合する。コンデンサ56, 58の上側極板はノードDにおいてクロック信号CLK。(ここでnは行のインデックスナンバーである)に結合する。斯かるクロック信号は動作電圧の切り換え可能電源を与える。トランジスタ52, 54のソースはノードCにおいて基準電位VSSまたは大地に結合する。ノードA及びBはアクセストランジスタ60, 62のソースドレインバスを経てビットライン64, 66に結合する。トランジスタ60及び62はワードラインでゲートする。常規動作中データを維持するための電流はスタティックセルの抵抗性負荷として機能する強誘電体

時間はCLK1を低レベルにするのに要する時間により決まる。これは容量性ランナに似ている。(100ns)

T<sub>5</sub> - T<sub>6</sub>: ノードAとE間及びノードBとF間の接続を設定する。その接続時間はCLK3のRC遅延により決まる。(15ns)

T<sub>6</sub> - T<sub>7</sub>: 強誘電体コンデンサの状態を検知する。その持続時間は強誘電体コンデンサの状態の切り換えと非切り換えとを弁別する電流を発生するのに要する時間により決まる。(20ns ~ 50ns)

T<sub>7</sub> - T<sub>8</sub>: VCC電源をスタティックセルに再び供給する。CLK1ラインの容量によりその持続時間が決まる。(100ns)

T<sub>8</sub> - T<sub>9</sub>: "高"分極状態の強誘電体コンデンサを再書き込みする。その速度は強誘電体の切り換え速度により決まる。(1μs ~ 10μs)

T<sub>9</sub> - : 強誘電体コンデンサを切り離し、短絡する。この持続時間はCLK3及びCLK4の

コンデンサを経て供給される。第III相硝酸カリウムを含む多くの強誘電体コンデンサの抵抗特性は現在のスタティックRAMセル内の抵抗として使用されている多結晶シリコン抵抗又はダイオードに見られるものと同様である。

このセルの転記及びリストア動作は次の通りである。転記に対してはワードラインWLが高レベルになり、コンプリメンタリビットライン64, 66がノードA及びBからデータを受信する。センス増幅器(ここには図示していないがビットラインに結合されている)がデータをラッチすると共にビットラインにフルCMOSレベルを設定する。短時間後に強誘電体コンデンサ56, 58の一方が一方のノードA又はBの低電圧(零ボルト)とノードDのフルVCCレベルとにより"低"分極状態に書き込まれる。斯かる後に、この行のセルに対するCLK<sub>n</sub>が低レベルになり、他方のコンデンサ56又は58に"高"分極状態を書き込むことができる。このときセル50の不揮発性素子がセットされ、次いでクロックCLKを高レベルにすると共にワードライン

WLを低レベルにすることができる。次のワードラインに対応する次の行を、ビットラインをもとの状態に戻した後に、同様にして転記することができる。

不揮発性部分からデータを揮発性部分へリストアするには、ビットライン64及び66を零ボルトに予備充電する。ワードラインWLを高レベルにしてノードA及びBも零ボルトに予備充電する。次いでワードラインを再び低レベルにする。ついでCLK<sub>n</sub>を高レベルにすると、分極状態の差により強誘電体コンデンサ56, 58の一方が他方よりも大きな電流を流し、これにより揮発性セルが所要の如くセットされる。

以上の実施例の記載は本発明の一例にすぎず、本発明はこれらの実施例に限定されず、種々の変形が可能である。例えば、上述の実施例では2個の強誘電体コンデンサを用いるが、斯かるコンデンサは2つの異なる状態を表し得るので変形例では斯かるコンデンサを1個だけにすることができる。

## 特開昭64-66899 (8)

## 4. 図面の簡単な説明

第1A図は本発明によるスタティック RAMメモリセルの一実施例の回路図、

第1B図は第1A図のメモリセルに対するストアサイクル及びリストアサイクルのタイミング図、

第2図は本発明によるメモリセルの他の実施例の回路図である。

A, B, C, D, E, F, G …ノード

10…メモリセル

12…揮発性部分

14…不揮発性部分

16, 18, 20, 22 …フリップフロップ

24, 26 …アクセストランジスタ

28, 30 …ビットライン WL…ワードライン

32, 34 …結合トランジスタ

36, 38 …強誘電体コンデンサ

40, 42 …短絡トランジスタ

CLK1~CLK4…クロック信号

50…メモリ

52, 54 …フリップフロップ

56, 58 …強誘電体コンデンサ

60, 62 …アクセストランジスタ

64, 66 …ビットライン

CLK<sub>n</sub> …クロック信号

特許出願人 ラムトロン・コーポレーション

代理人弁理士 杉 村 曉 秀

代理人弁理士 杉 村 興 作

